

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-299820

(43)Date of publication of application : 24.10.2000

(51)Int.Cl. H04N 5/335
B25J 19/04
G06T 1/60
G06T 1/20
H01L 27/146

(21)Application number : 11-106988 (71)Applicant : HAMAMATSU PHOTONICS KK
SHIZUOKA PREFECTURE

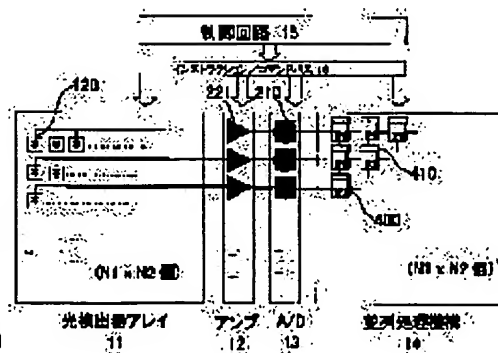
(22)Date of filing : 14.04.1999 (72)Inventor : TOYODA HARUYOSHI
HARA TSUTOMU
KOBAYASHI YUJI
ISHIKAWA MASATOSHI
KATO SHINGO

(54) HIGH SPEED VISUAL SENSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a high speed visual sensor with a large number of pixels that conducts an image processing arithmetic operation at a high-speed including an image gravity center despite of a simple circuit configuration.

SOLUTION: This high-speed visual sensor is provided with an A/D converter array 13 where one A/D converter 210 corresponds to a photodetector 120 of each array of a photodetector array 11 and with a parallel processing unit 14 consisting of an arithmetic element 400 having an information register 410 latching position information of a pixel in the inside and corresponding one to one to each photodetector 120. The arithmetic element 400 conducts an image processing arithmetic operation including a gravity center arithmetic operation using the position information at a high-speed through



parallel processing. Since the A/D converter 210 of each column corresponds to the photodetector 120 for each column, number of transmission lines between the photodetector array 11 and the parallel processing unit 14 is less, the both are manufactured and placed separately, degrees of integration are optimized, multi-pixels are attained and the sensor is stably manufactured.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-299820

(P2000-299820A)

(43) 公開日 平成12年10月24日 (2000. 10. 24)

(51) Int.Cl.⁷

識別記号

F I

テ-マコ-ト*(参考)

H 0 4 N 5/335

H 0 4 N 5/335

P 3 F 0 5 9

B 2 5 J 19/04

B 2 5 J 19/04

4 M 1 1 8

G 0 6 T 1/60

G 0 6 F 15/64

4 5 0 A 5 B 0 4 7

1/20

15/66

K 5 B 0 5 7

H 0 1 L 27/146

H 0 1 L 27/14

A 5 C 0 2 4

審査請求 未請求 請求項の数 4 O L (全 9 頁)

(21) 出願番号

特願平11-106988

(22) 出願日

平成11年4月14日 (1999. 4. 14)

(71) 出願人 000236436

浜松ホトニクス株式会社

静岡県浜松市市野町1126番地の1

(71) 出願人 590002389

静岡県

静岡県静岡市追手町9番6号

(72) 発明者 豊田 晴義

静岡県浜松市市野町1126番地の1 浜松ホ
トニクス株式会社内

(74) 代理人 100088155

弁理士 長谷川 芳樹 (外2名)

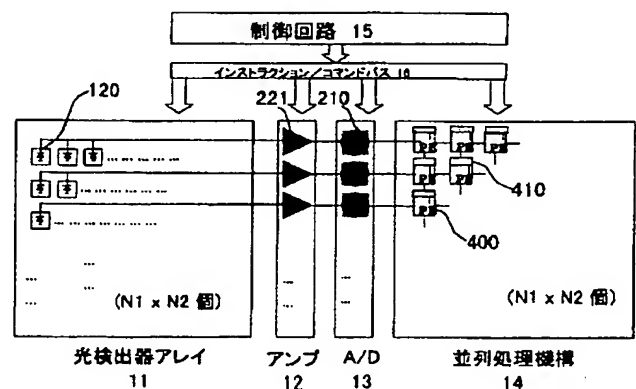
最終頁に続く

(54) 【発明の名称】 高速視覚センサ装置

(57) 【要約】

【課題】 簡単な回路構成で画像重心演算を含めた画像処理演算を高速で行うことが可能な多画素数の高速視覚センサ装置を提供する。

【解決手段】 受光素子アレイ11の各列の受光素子120に対して1個のA/D変換器210を対応させたA/D変換器アレイ13と、受光素子120と1対1に対応し、内部に画素の位置情報を保持する情報レジスタ410を有する演算素子400からなる並列処理機構14とを備えている。演算素子400は並列処理により位置情報を用いる重心演算を含めた画像処理演算を高速で行うことができる。また、A/D変換器210を各列ごとに対応させたため、受光素子アレイ11と並列処理機構14間の伝送路が少なく、両者を分離して製造・配置でき、集積度の最適化、多画素化と同時に、安定した製造が行える利点がある。



【特許請求の範囲】

【請求項1】 複数の受光素子が2次元状に配列された受光素子アレイと、

前記受光素子アレイの各列に対応して設けられ、対応する1列中の受光素子から順次読み出された出力信号をアナログ・デジタル変換する複数のA/D変換器を有し、当該複数のA/D変換器が1次元状に配列されて構成されるA/D変換器アレイと、

前記受光素子アレイの各受光素子と1対1に対応して設けられ、前記A/D変換器アレイから転送された対応する受光素子の出力信号に相当するデジタル信号について所定の演算を行うもので、内部に前記所定の演算に要する情報を保持する情報レジスタを有する複数の演算素子を2次元状に配列して、並列演算処理を行う並列処理機構と、

前記受光素子アレイ及び前記A/D変換器アレイ並びに前記並列処理機構を制御する制御回路と、を備える高速視覚センサ装置。

【請求項2】 前記情報レジスタが保持している所定の情報は、対応する前記演算素子の位置情報であることを特徴とする請求項1記載の高速視覚センサ装置。

【請求項3】 前記制御回路は、前記A/D変換器アレイの各列から対応する各演算素子へのデータ転送時に平行して各列内の演算素子間でのデータ転送及び演算を行い、全データ転送後に各列間のデータ転送及び演算を行うよう、前記並列処理機構を制御することを特徴とする請求項1又は2に記載の高速視覚センサ装置。

【請求項4】 前記A/D変換器は、前記制御回路から送出された制御信号により、A/D変換時の階調を可変する機構を備えることを特徴とする請求項1～3のいずれかに記載の高速視覚センサ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、画像処理機能を備えた高速視覚センサ装置に関する。

【0002】

【従来の技術】FAシステム等でロボットを高速で動作させるためには、高速の画像処理が必要とされる。例えば、視覚センサとアクチュエータの間でフィードバックループを形成するロボットの場合、アクチュエータはミリ秒単位で制御可能であるため、本来はこれに対応した画像処理速度が必要になる。ところが、現状のビジョンシステムでは画像処理速度が上述のビデオフレームレートに限られているため、この画像処理速度に合わせた低速動作しかできず、ロボットの性能を十分に活かしきれなかった。

【0003】一方、高速CCDカメラの中には1ミリ秒程度で画像を撮像できるものもあるが、これらは撮像した画像をいったんメモリに貯えて、後から読み出して処理を行う機構になっているため、画像解析などの用途に

は使えるが、実時間性はほとんどなく、ロボット制御などの用途には適用できなかった。

【0004】このような問題を解決するため、画像の取込部と処理部を一体として取り扱うビジョンチップの研究が進んでおり、マサチューセッツ工科大学、カリフォルニア工科大学、三菱電機などの研究が知られている。しかし、これらは主として集積化の容易なアナログの固定回路を用いており、出力信号の後処理が必要であったり、画像処理の内容が特定用途に限定されていて汎用性がないなどの問題点があった。

【0005】これらに対して汎用的な画像処理を行うことができるビジョンチップとしては、特開平10-145680号公報に開示された技術が知られている。この技術は、受光素子と1対1に対応させて演算素子を設け、A/D変換器を受光素子の列毎に設けているため、並列処理により演算時間を短縮するとともに、受光素子と演算素子間の伝送線を少なくすることができ、両者の集積度を最適にすることができるといった利点がある。

【0006】

【発明が解決しようとする課題】しかしながら、この技術では、一部の演算処理において高速化に限界があった。例えば、多くの画像処理において必要となる基本データである画像の重心（1次モーメント）を求める際には、その画素の位置情報と画像強度との演算を行う。前述の従来技術においてこの演算を行うためには、画像強度とは別に、位置情報を各演算素子に転送してから所定の演算を行う必要がある。この位置情報の転送の間は画像情報の転送処理及び演算処理が行えないため、処理時間が長くなるという問題があった。

【0007】そこで、本発明は、こうした問題点に鑑みて、簡単な回路構成で画像重心演算を含めた画像処理演算を高速で行うことが可能な多画素数の高速視覚センサ装置を提供することを課題とする。

【0008】

【課題を解決するための手段】本発明の高速視覚センサ装置は、複数の受光素子が2次元状に配列された受光素子アレイと、受光素子アレイの各列に対応して設けられ、対応する1列中の受光素子から順次読み出された出力信号をアナログ・デジタル変換する複数のA/D変換器を有し、これらの複数のA/D変換器が1次元状に配列されて構成されるA/D変換器アレイと、受光素子アレイの各受光素子と1対1に対応して設けられ、A/D変換器アレイから転送された対応する受光素子の出力信号に相当するデジタル信号について所定の演算を行うもので、内部に所定の演算に要する情報を保持する情報レジスタを有する複数の演算素子を2次元状に配列して、並列演算処理を行う並列処理機構と、受光素子アレイ及びA/D変換器アレイ並びに並列処理機構を制御する制御回路とを備える。

【0009】本発明によれば、受光素子と演算素子とが

1対1に対応しているため、画像処理の演算を並列処理により高速で行うことができる。特に、演算に必要な所定の情報を情報レジスタに保持しているため、この情報レジスタに保持された情報を要する演算も高速で処理される。また、A/D変換器で各列毎に分割してデータを演算素子に転送するため、この部分の伝送路の本数が少なく、受光素子アレイと演算器アレイを分離することが容易である。このため、双方とも高集積化が可能で、画素数を増やすことができる。また、安定した生産が可能となる。

【0010】この情報レジスタが保持している所定の情報は、対応する演算素子の位置情報であることが好ましい。これによれば、画像の重心を求める1次モーメント演算などを高速で行うことができ、好ましい。

【0011】また、制御回路は、A/D変換器アレイの各列から対応する各演算素子へのデータ転送時に平行して各列内の演算素子間でのデータ転送及び演算を行い、全データ転送後に各列間のデータ転送及び演算を行うよう、並列処理機構を制御する。これにより、演算素子間のデータ転送や演算に要する時間の無駄を省いて、効率的な処理を行うことができる。

【0012】さらに、A/D変換器は、制御回路から送出された制御信号により、A/D変換時の階調を可変する機構を備えてもよい。これにより、用途に応じて、低階調でも高速で読み込んだり、低速でも高階調で読み込むなどの使い分けが可能となる。

【0013】

【発明の実施の形態】以下、本発明の一実施形態を図面に基づいて説明する。図1は、本実施形態に係る高速視覚センサ装置のブロック図である。

【0014】まず、図1により、センサ装置全体の構成を簡単に説明する。本実施形態の高速視覚センサ装置は、N1個×N2個の2次元状に配置された受光素子120からなる受光素子アレイ11と、受光素子アレイ11の1列ごとに対応して受光素子から出力された電荷を電圧信号に変換するN2個のチャージアンプ221からなる並列アンプ12と、チャージアンプからの出力信号をA/D変換するN2個のA/D変換器210からなるA/D変換器アレイ13と、受光素子120と1対1に対応するN1個×N2個の演算素子400からなる演算素子アレイ14と、回路全体に命令信号等を送って制御する制御回路15及び制御回路15からの信号を各回路に送るインストラクション/コマンドバス16により構成されている。このうち、演算素子400には、それぞれ内部に演算素子400の位置、すなわち、受光素子120の画素位置に対応する位置情報を保持している情報レジスタ410を有している。

【0015】図2は、装置の構成例を示したものである。受光素子アレイ11と演算素子アレイ14を別々の基板に形成することで、双方を高集積化することが可能

であり、また、それぞれの装置の特性に合わせた加工工程を採用できるため、安定した生産が可能となる。

【0016】続いて、各回路の内部構成について説明する。図3は、画像取込部の詳細構成を示している。画像取込部は、光を検出する受光部100（図1に示す受光素子アレイ11に相当）、受光部100からの出力信号を処理する信号処理部200（図1に示す並列アンプ12及びA/D変換器アレイ13に相当）、受光部100及び信号処理部200に動作タイミングの指示信号を通知するタイミング制御部300（図1に示す制御回路15の一部に相当）を備えている。

【0017】最初に、図3により、図1の受光素子アレイ11に相当する受光部100の構成を説明する。受光素子120は、入力した光強度に応じて電荷を発生する光電変換素子130と、光電変換素子130の信号出力端子に接続され、垂直走査信号Vi（i=1～N1）に応じて光電変換素子130に蓄積された電荷を出力するスイッチ素子140を1組として構成されている。この受光素子120が第1の方向（以下垂直方向と呼ぶ）に沿ってN1個配置され、各受光素子120のスイッチ素子140が電気的に接続されて垂直受光部110を構成している。そして、この垂直受光部110を垂直方向に直交する水平方向に沿ってN2個配列することにより受光部100が構成されている。

【0018】次に、同じく図3により、図1では並列アンプ12及びA/D変換器アレイ13に相当する信号処理部200の構成を説明する。信号処理部200は、対応する垂直受光部110j（j=1～N2）から転送されてきた電荷を個別に取り出して、処理し、この電荷強度に対応するデジタル信号を出力するA/D変換器210jをN2個配置して構成されている。A/D変換器210jは、チャージアンプ221jを含む積分回路220jと比較回路230jと容量制御機構240jの3つの回路から構成される。本実施形態では、チャージアンプ221をA/D変換器210に含む回路構成になっている。

【0019】このうち、積分回路220jは、垂直受光部110jからの出力信号を入力として、この入力信号の電荷を増幅するチャージアンプ221jと、チャージアンプ221jの入力端子に一方の端が接続され、出力端子に他方の端が接続された可変容量部222jと、チャージアンプ221jの入力端子に一方の端が接続され、出力端子に他方の端が接続されて、リセット信号Rに応じてON、OFF状態となり、積分回路220jの積分、非積分動作を切り替えるスイッチ素子223jからなる。

【0020】ここで、図4は、この積分回路220の詳細構成図である。本図は、4ビットつまり16階調の分解能を持つA/D変換機能を備える積分回路の例であり、以下、この回路構成により説明する。可変容量部2

22は、チャージアンプ221の垂直受光部からの出力信号の入力端子に一方の端子が接続された容量素子C1～C4と、容量素子C1～C4の他方の端子とチャージアンプ221の出力端子の間に接続され、容量指示信号C11～C14に応じて開閉するスイッチ素子SW11～SW14と、容量素子C1～C4とスイッチ素子SW11～SW14の間に一方の端子が接続され、他方の端子がGNDレベルと接続されて、容量指示信号C21～C24に応じて開閉するスイッチ素子SW21～SW24により構成されている。なお、容量素子C1～C4の電気容量

$$C_1 = 2 \cdot C_2 = 4 \cdot C_3 = 8 \cdot C_4$$

$$C_0 = C_1 + C_2 + C_3 + C_4$$

の関係を満たす。ここで、C0は積分回路220で必要とする最大電気容量であり、受光素子130（図3参照）の飽和電荷量をQ0、基準電圧をVREFとすると、

$$C_0 = Q_0 / V_{REF}$$

の関係を満たす。

【0021】再び、図3に戻り、A/D変換器210jの積分回路220j以外の回路を説明する。比較回路230jは、積分回路220jから出力された積分信号Vsの値を基準値VREFと比較して、比較結果信号Vcを出力する。容量制御機構240jは、比較結果信号Vcの値から積分回路220j内の可変容量部222jに通知する容量指示信号Cを出力すると共に、容量指示信号Cに相当するデジタル信号D1を出力する。

【0022】続いて、図3に示すタイミング制御部300の構成を説明する。全回路のクロック制御を行う基本タイミングを発生する基本タイミング部310と、基本タイミング部310から通知された垂直走査指示に従って、垂直走査信号Viを発生する垂直シフトレジスタ320と、リセット指示信号Rを発生する制御信号部340により構成されている。

【0023】次に、図5（a）に示すブロック図を用いて、演算素子アレイ14を構成する演算素子400の構成を説明する。演算素子400は、A/D変換器210から送られてきた対応する受光素子120の4近傍の出力信号に相当するデジタル信号D1を収容する4×8ビットのランダムアクセス可能な1ビットシフトのレジスタマトリックス401と、演算信号をそれぞれ収容するAラッチ402、Bラッチ403、及び下位ビットから1ビットずつ順次演算する順次ビットシリアル演算を行う演算論理ユニット（ALU）404と、2×7ビットの読み出し専用レジスタからなる前述の情報レジスタ410とで構成されている。

【0024】図5（b）、（c）はそれぞれこの情報レジスタ410の各ビットの構成を示す回路図である。Vccへの接続によりデータ値1に相当する情報を、GND接続によりデータ値0に相当する情報を表現することにより、通常の書き換え可能なレジスタマトリックスを

用意するのに比べて少ないゲート数で情報を記憶できる。また、ALU404にはAND、OR、XOR、ADDの演算機能が用意されている。演算素子400は、各素子が共通の制御信号で制御されるSIMD型の並列処理を行う構造になっている。これにより、1素子あたりのトランジスタ数を削減し、演算素子アレイ14の集積化を図り、素子数を増やすことができる。

【0025】次に、図2～図5により、本実施形態の動作について説明する。

【0026】まず、リセット信号Rを有為に設定し、図4に示す可変容量部222のSW11～SW14を全て「ON」、SW21～SW24を全て「OFF」状態にする。これにより、チャージアンプ221の入力端子と出力端子間の容量値をC0に設定する。それと同時に、図3に示す全てのスイッチ素子140を「OFF」状態とし、垂直走査信号Viをいずれの受光素子120i,jも選択しない状態に設定する。この状態から、リセット指示信号Rを非有為に設定し、各積分回路220での積分動作を開始させる。

【0027】積分動作を開始させると、図3に示すN2個の各垂直受光部110jにある第1番目の受光素子120i,jのスイッチ素子140のみを「ON」とする垂直走査信号Viが出力される。スイッチ素子が「ON」になると、それまでの受光によって光電変換素子130に蓄積された電荷Qiは、電流信号として受光部100から出力される。つまり、光電変換素子の信号を読み出すことができる。電荷Qiは容量値C0に設定された可変容量部222に流入する。

【0028】次に、図4により積分回路220内部の動作を説明する。容量制御機構240（図3参照）は、SW12～SW14を開放した後、SW22～24を閉じる。この結果、積分信号Vsは、

$$V_s = Q / C_1$$

で示す電圧値として出力される。積分信号Vsは、比較回路230に入力して、基準電圧値VREFと比較される。ここで、VsとVREFの差が、分解能の範囲以下、すなわち±(C4/2)以下の時は、一致したものとみなし、更なる容量制御は行わず、積分動作を終了する。分解能の範囲で一致しないときは、更に容量制御を行い、積分動作を続ける。

【0029】例えば、Vs > VREFであれば、容量制御機構240は、更に、SW22を開放した後に、SW12を閉じる。この結果、積分信号Vsは、

$$V_s = Q / (C_1 + C_2)$$

で示す電圧値となる。この積分信号Vsは、後続の比較回路230（同）に入力して、基準電圧値VREFと比較される。

【0030】また、Vs < VREFであれば、容量制御機構240は、更に、SW11及びSW22を開放した後、SW12及びSW21を閉じる。この結果、積分信

10

20

30

40

50

処理名称		ステップ数	所要時間(μs)
2近傍エッジ検出	1bit 入出力	5	0.40
4近傍エッジ検出	1bit 入出力	11	0.72
4近傍平滑化	1bit 入出力	14	1.0
4近傍エッジ検出	8bit 入出力	70	5.6
4近傍エッジ検出	8bit 入出力	96	7.7
4近傍細線化	1bit 入出力	23	1.9
8近傍細線化	1bit 入出力	53	4.2
コンボリューション	1bit 入力、4bit 出力	40	3.2
コンボリューション	4bit 入力、11bit 出力	372	30
Poisson 方程式	1bit 入力、8bit 出力	63	5.0

【0041】この表から明らかなように、本実施形態では、一般的な画像処理（例えば、平滑化、細線化、コンボリューション、相関、マスク処理）演算を完全並列処理により、非常に高速で行うことができる。特に、本実施形態では、重心演算で必要となる画素の位置情報

(x, y) が各演算素子の情報レジスタに固定値として保持されている。このため、重心演算に際して外部から位置情報を転送する必要がなく重心演算を高速で行うことができ、重心データを基にした移動物体の位置算出などを高速で行うことができる。

【0042】この重心演算の適用例について以下、詳細に説明する。前述したように、受光素子アレイ11で検出された画像は、並列アンプ12で増幅され、A/D変換器アレイ13によりデジタル信号に変換され、並列処理機構14に順次転送される。この転送時に、受光素子アレイ11の各受光素子120に対応する並列処理機構14のレジスタマトリックス401に画像信号を保持する。ここで、画像の重心位置Gcは以下の式によって表される。

【0043】

【数2】

$$G_c = \left(\frac{\sum_{y=1}^{N2} \sum_{x=1}^{N1} \{I(x,y) \times x\}}{\sum_{y=1}^{N2} \sum_{x=1}^{N1} I(x,y)}, \frac{\sum_{y=1}^{N2} \sum_{x=1}^{N1} \{x \times y \times I(x,y)\}}{\sum_{y=1}^{N2} \sum_{x=1}^{N1} I(x,y)} \right)$$

【0044】この重心位置の値を求めるには、それぞれの並列演算素子400において、まず情報レジスタ410からAラッチ402にxの値（つまり、x方向アドレス）を転送し、レジスタマトリックス401からBラッチ403に画像強度I(x, y)の値を転送してALU404において両者の積であるx×I(x, y)を演算する。演算結果は、レジスタマトリックス401の画像強度I(x, y)が格納された位置と異なる位置に格納される。次に、情報レジスタ410からAラッチ402にyの値（つまり、y方向アドレス）を転送し、レジスタマトリックス401からBラッチ403に先程計算したx×I(x, y)の値を転送してALU404において両者の積であるx×y×I(x, y)を演算する。演

算結果は、レジスタマトリックス401のI(x, y)、x×I(x, y)が格納された位置と異なる位置に格納される。

【0045】演算したx×I(x, y)とx×y×I(x, y)の値を順次隣の演算素子400に転送しながら加算していき、列毎にそれぞれの総和をとる。その結果を制御回路15に転送して、列毎の総和をそれぞれ加算することでそれぞれの全体の総和を求める。これによりGcのx、y座標それぞれの分子が求まる。分母は、画像強度I(x, y)を隣の演算素子400に転送しながら加算し、列毎の総和を求め、これらの総和演算を制御回路15で行なうことにより求めることができる。

【0046】従来の方式では、位置情報(x, y)を保持するためにレジスタ領域を十分に確保する必要があったが、画素の位置情報は固定情報であるため、本実施形態では、読み出し専用の情報レジスタにより位置情報を保持している。したがって、位置情報を貯えるのに必要とされる回路の構成が簡単で済み、少ないゲート数で実現可能であるから、大規模な集積化が可能である。また、位置情報自体の各演算素子への転送が不要であるため、高速での重心演算が実行できる。さらに、こうした位置情報を用いて、例えば「前のフレームからの移動物体を検出し、その位置情報を制御信号にフィードバックしてトラッキングする」等の処理への応用が可能となる。このようにして、本実施形態は、これまでの視覚センサ装置では演算処理速度が遅いために制限されていたFAロボット制御などの分野への応用が可能になる。

【0047】本実施形態が目指しているのは、実用的な高速性と十分な解像度を有する画像処理システムである。解像度の目安としては、FAシステムにおけるロボット制御には、受光素子120を128×128個以上配列する解像度が必要とされる。従来例1によれば、受光素子120の配列数を増やすことが難しいため、ここまで解像度を上げることは困難だった。本実施形態によれば、受光素子アレイ11と演算素子アレイ14を分離でき、それぞれの集積度を高められるため、この解像度を十分に実現できる。また、処理速度の目安としては、ロボットのアクチュエータの速度（1～10ミリ秒）が必要である。本実施形態では、この処理速度は、A/D

変換器210におけるA/D変換処理速度によって決まるが、以下に述べるように、十分に高速化が可能である。

【0048】ここで、本実施形態での1画素あたりのA/D変換速度は、1ビットあたり1マイクロ秒となる。例えば、入力アナログ信号を6ビット（64階調）でデジタル変換する場合には、1列分の128個の受光素子120の出力信号をデジタル変換するのに必要な時間は、6マイクロ秒×128=0.768ミリ秒となる。画像処理については、各受光素子に1対1に対応して演算素子が配置され、全演算素子で並列処理されるため、図7に示すように、0.4ミリ秒以下でほとんどの演算処理が行える。したがって、転送時間を考慮しても、ほとんどの画像処理が1ミリ秒以下で行えることになり、十分な高速性能を有する。一方、従来例2～4では、複数の画素の計算を1つの演算素子で行う必要があるため、計算処理の時間自体が長くなる。例えば、従来例2の場合は、最も基本的な画像処理演算である4近傍エッジ検出の場合で、1点あたり7.7マイクロ秒かかる演算を128回繰り返す必要があり、合計の演算時間だけで約1ミリ秒かかる。実際には、受光素子からのデータ転送時間が必要であるうえに、さらに画像処理で複雑な演算を必要とすることがあるため、これでは実用的な高速処理はできない。

【0049】また、前述したように本実施形態のA/D変換器は、最上位ビットからA/D変換を行う。したがって、所望のビット数まで変換した時点で、リセット信号Rを送出し、次の光信号のA/D変換に移ることにより、A/D変換の階調を変更することができる。これにより、より高速で、複雑な処理を行うことが可能となる。例えば、移動物体のトラッキングをするような場合に、物体が高速で移動している場合は、画像を1ビットの2値レベルで演算処理するように制御すれば、転送時間は、前述の6ビットの時の6分の1の0.128秒に短縮され、高速フィードバック制御に適用できる。逆に、低速で動いている場合には、階調を上げることでより、より精度を向上させて、追従することができる。

【0050】

【発明の効果】以上説明したように、本発明によれば、受光素子と1対1に対応する演算素子を有しているもので、並列処理により高速の画像処理が可能である。さらに、これらの演算素子は、画素の位置情報を保持する情報レジスタを有しているため、位置情報を利用する重心演算等を高速で行うことができる。これは特にフィードバック制御等において効果的である。さらに読み出し専用レジスタとして構成すれば、回路が簡単で済み、集積化が容易である。また、A/D変換器を1列ごとに設けているので、A/D変換器を素子毎に設けている場合に比較して、受光素子と演算素子間の伝送線の本数が少な

く、受光素子と演算素子を別々に製造、配置することが容易にできる。このため、両者とも集積度を最適にすることができ、多画素数の高速視覚センサ装置を容易に製作できる。A/D変換器を列ごとに設けたため、A/D変換の処理速度により、全体の処理速度が制限を受けるが、FAロボット制御に十分な画素数といわれる128×128画素の映像を64階調で処理する場合でも、ほとんどの画像処理が1ミリ秒以下で終了し、従来にない高速処理が可能である。

【0051】また、A/D変換器から演算素子へのデータ転送時に、列内の演算素子間でのデータ転送や演算を平行して処理できるため、A/D変換器から演算素子へのデータ転送後に必要な演算素子間のデータ転送が少なくなり、処理時間を短縮できる。特に、列全体のデータを利用する画像処理演算で、効率的な処理が可能となる。

【0052】さらに、A/D変換器の変換階調を可変にすることにより、高速で移動する物体の制御等には、低階調として、さらに高速で処理し、低速で移動する物体の制御の際には、転送時間がかかるが、高階調で処理するなど、状況に応じた汎用性の高い制御が可能である。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るブロック図である。

【図2】図1の実施形態に係る概略構成図である。

【図3】図1の実施形態に係る受光素子アレイ、並列アンプ及びA/D変換器アレイの回路構成図である。

【図4】図1の実施形態に係る積分回路の詳細回路構成図である。

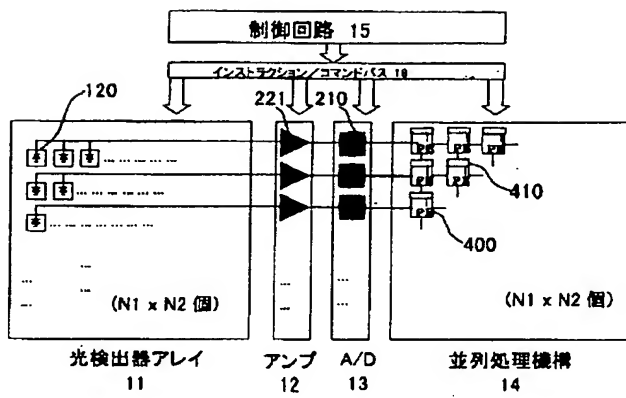
【図5】(a)は、図1の実施形態に係る演算素子のブロック図、(b)(c)はそのうちの情報レジスタの回路図である。

【図6】図5の演算素子の動き抽出演算時のフロー図である。

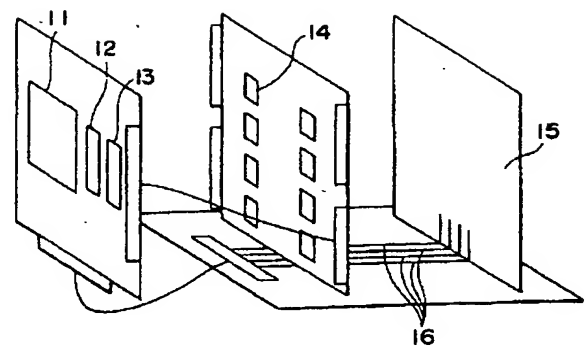
【符号の説明】

11…受光素子アレイ、12…アンプ、13…A/D変換器アレイ、14…並列処理機構、15…制御回路、16…インストラクション/コマンドバス、100…受光部、110…垂直受光部、120…受光素子、130…光電変換素子、140…スイッチ素子、200…信号処理部、210…A/D変換器、220…積分回路、221…チャージアンプ、222…可変容量部、223…スイッチ素子、230…比較回路、240…容量制御機構、300…タイミング制御部、310…基本タイミング部、320…垂直シフトレジスタ、340…制御信号部、400…演算素子、401…レジスタマトリックス、402…Aラッチ、403…Bラッチ、404…ALU、410…情報レジスタ、C1～C4…容量素子、SW11～SW14、SW21～SW24…スイッチ素子。

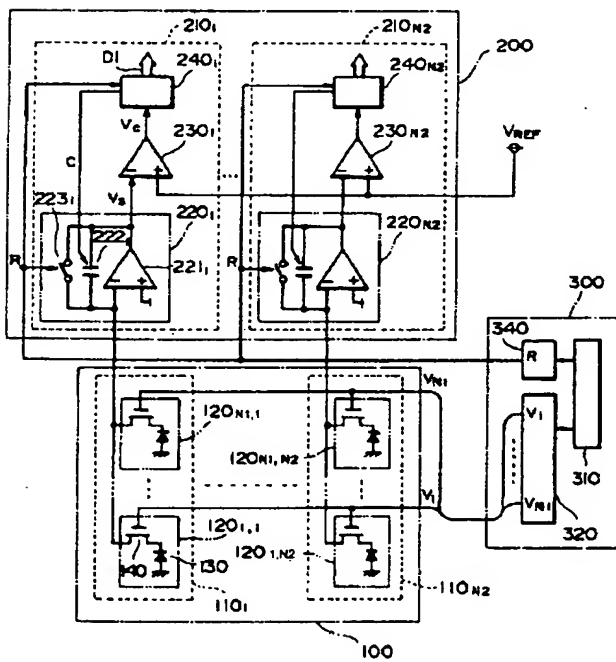
【図1】



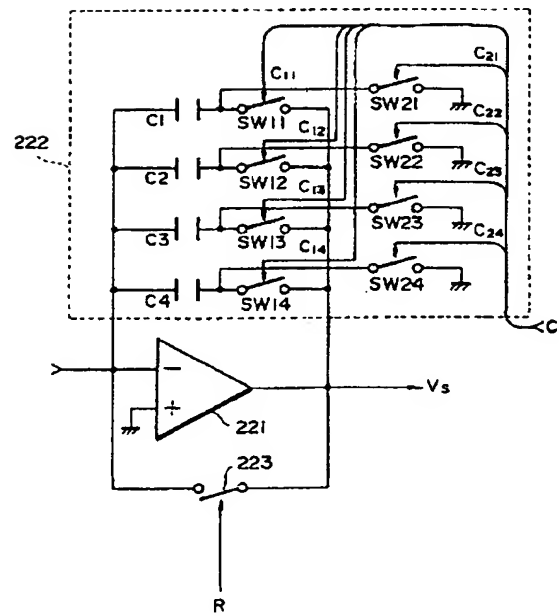
【図2】



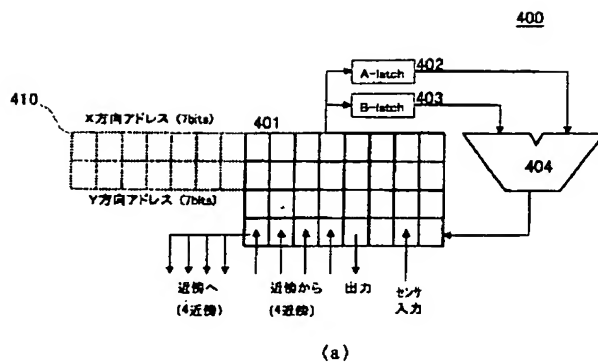
【図3】



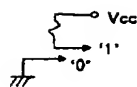
【図4】



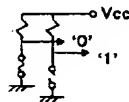
【図5】



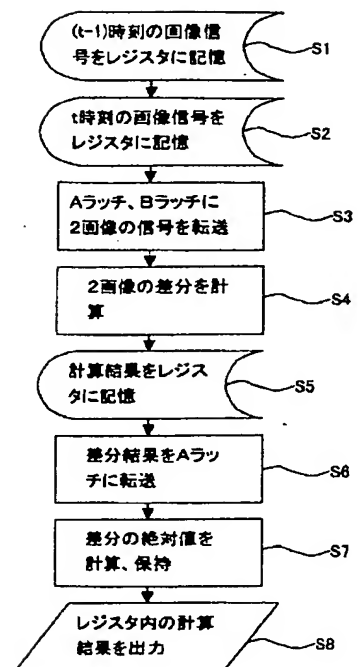
(b)



(c)



【図6】



フロントページの続き

(72) 発明者 原 勉
静岡県浜松市市野町1126番地の1 浜松ホ
トニクス株式会社内
(72) 発明者 小林 祐二
静岡県浜松市市野町1126番地の1 浜松ホ
トニクス株式会社内
(72) 発明者 石川 正俊
千葉県柏市大室1571-32
(72) 発明者 加藤 信吾
静岡県浜松市新都田一丁目3番3号 静岡
県浜松工業技術センター内

Fターム(参考) 3F059 DB00
4M118 AA10 AB10 BA14 CA02 DD09
DD10 FA06 FA50
5B047 AA12 AA13 BB04 BC01 CB09
DB01 EA01
5B057 AA03 AA05 BA02 BA12 CH03
CH11 DC06
5C024 AA01 BA00 CA26 CA31 FA01
GA01 GA31 GA48 HA14 HA15
HA17 HA18 HA20 JA04

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.